

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-030437

(43)Date of publication of application : 03.02.1992

(51)Int.Cl. H01L 21/336
H01L 29/784

(21)Application number : 02-136456 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.05.1990 (72)Inventor : SEKIKAWA NOBUYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

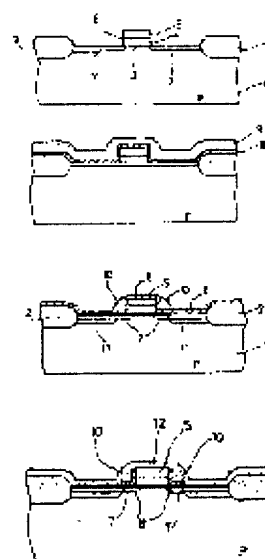
(57)Abstract:

PURPOSE: To increase the mutual conductance gm of a MOS transistor for avoiding the surface roughening and peeling of a W silicide layer by a method wherein a conductive layer is thermal-oxidized using a sidewall spacer insulating film as an oxidation resistant mask.

CONSTITUTION: A field oxide film 2 is formed on a P type silicon substrate 1 so as to form a gate oxide film 3 by thermal oxidation on the part excluding the field oxide film 2. Next, a polycide structure is formed to be formed into a gate electrode layer 6 by patterning process.

Furthermore, N-layers 7 are formed in source.drain regions on the substrate 1. Successively, a conductive layer 8 and a silicon oxide film 9 are formed. Next, the film 9 is etched away to form a sidewall spacer insulating

film 10 on the sidewall of the layer 6. Next, N+layers 11 are formed on the substrate 1. Finally, the layer 8 is thermal- oxidized to leave the part thereof beneath the film 10 only while changing the other part into a silicon oxide film 12.



⑫ 公開特許公報(A) 平4-30437

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成4年(1992)2月3日

H 01 L 21/336
29/784

8422-4M H 01 L 29/78 3 0 1 L

審査請求 未請求 請求項の数 3 (全4頁)

⑭発明の名称 半導体装置の製造方法

⑮特 願 平2-136456

⑯出 願 平2(1990)5月25日

⑰発明者 関 川 信 之 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑱出願人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ⑲代理人 弁理士 西野 卓嗣 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を介して、ポリシリコン層及び高融点金属シリサイド層を順次積層する工程と、

前記ポリシリコン層及び高融点金属シリサイド層を選択的にエッチングして所定のゲート電極層を形成する工程と、

全面に導電層及び酸化シリコン膜を順次堆積する工程と、

前記酸化シリコン膜をRIE法によりエッチングして、前記ゲート電極層の側壁にサイドウォールスペーサ絶縁膜を形成する工程と、

前記サイドウォールスペーサ絶縁膜を耐酸化性マスクとして、前記導電層を熱酸化することにより前記サイドウォールスペーサ絶縁膜の下方にのみ前記導電層を残す工程とを含むことを特徴とする半導体装置の製造方法。

(2) 前記高融点金属シリサイド層がWシリサイド層よりなることを特徴とする請求項第1項記載の半導体装置の製造方法。

(3) 前記導電層がリンをドーブしたポリシリコン層よりなることを特徴とする請求項第1項又は第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は半導体装置の製造方法に関するものであり、さらに詳しく言えば、ポリサイド構造のゲート電極層を有するLDD構造MOSトランジスタの製造方法に関するものである。

(ロ) 従来の技術

近年1MビットダイナミックRAM等の高集積LSIにおいて用いられるMOSトランジスタのチャンネル長は1 μ m程度に微細化されている。

このような微細化MOSトランジスタでは、短チャンネル効果の防止のためにいわゆるLDD(Lightly Doped Drain)構造が用いられるとともに、高速動作を可能とするためにゲート電極に

はポリサイド構造(ポリシリコン層の上に高融点金属シリサイド層を積層したもの)を用いて、ゲート電極層を低抵抗化している。

この種のMOSトランジスタの製造方法は、たとえば、特開昭63-237566号公報に開示されるものがあり、これを第2図A乃至第2図Dに示して説明する。

まず第2図Aに示す如く、P型シリコン基板(21)上に選択的にフィールド酸化膜(22)とこれを除く部分にゲート酸化膜(23)を形成する。次いでこのゲート酸化膜(23)上にポリサイド構造(たとえばリン不純物を含有したポリシリコン層(24)の上にWシリサイド層(25)を積層したもの)のゲート電極層(26)を形成する。更に前記基板(21)のソース・ドレイン領域にイオン注入法によって、N⁻層(27)を形成する。

続いて第2図Bに示す如く、全面に導電材より成る導電層(28)及び酸化シリコン膜(29)を順次堆積する。

しかる後に第2図Cに示す如く、前記酸化シリ

しかしながら、上述した従来方法においては、第2図Dに示す如く、前記導電膜(28)をR I E法によってエッチングして、サイドウォールスペーサ絶縁膜(30)の下方にのみ前記導電膜(28)を残す工程において、必然的にWシリサイド層(25)上方の前記導電層(28)は除去され、Wシリサイド層(25)が露出した状態となる。

このため、その後の酸化処理(例えば、N⁺層(31)形成後の再酸化等)はWシリサイド層(25)が露出されたままで行なうことになり、Wシリサイド層(25)の表面が酸化されて表面あれを起こしたり、あるいは酸化の影響でポリシリコン層(24)とWシリサイド層(25)がはがれてしまう等の問題点を有していた。

(二) 課題を解決するための手段

本発明は斯上した問題点に鑑みてなされ、サイドウォールスペーサ絶縁膜(10)を耐酸化性マスクとして、ポリシリコンよりなる導電層(8)を熱酸化することによって従来の問題点を解決した半導体装置の製造方法を提供するものである。

コン膜(29)をR I E法によりエッチングして、前記ゲート電極層(26)の側壁にサイドウォールスペーサ絶縁膜(30)を形成する。

続いて第2図Dに示す如く、前記導電層(28)をR I E法によりエッチングして、前記サイドウォールスペーサ絶縁膜(30)の下方にのみ前記導電層(28)を残す。次に前記基板(21)に高濃度As不純物をイオン注入してN⁺層(31)を形成する。

このような製造方法によれば、ゲート電極層(26)はポリサイド構造で形成されるので大幅に低抵抗化できる。また、サイドウォールスペーサ絶縁膜(30)の下方にはゲート電極層(26)と電気的に接続した導電層(28)が形成されるので、N⁻層(27)の抵抗が下がってg mを高くすることができるとともに、サイドウォールスペーサ絶縁膜(30)へのホットキャリアの注入が前記導電層(28)によって抑えられるので、このホットキャリア注入によるg mの初期劣化を軽減できるという利点があった。

(h) 発明が解決しようとする課題

(*) 作用

本発明に依れば、サイドウォールスペーサ絶縁膜(10)の下方にのみ導電層(8)を残す方法において、サイドウォールスペーサ絶縁膜(10)を耐酸化性マスクとして、導電層(8)を熱酸化する工程を具備しているので、この工程を行なうことによって前記サイドウォールスペーサ絶縁膜(10)の下方を除く導電膜(8)は酸化シリコン膜(12)となる。

したがってWシリサイド層(5)は導電層(8)又は酸化シリコン膜(12)で被覆しているので、酸化性雰囲気にはさらされるおそれがなく、Wシリサイド層(5)の表面あれあるいははがれ等を防止できる。

(h) 実施例

本発明に依る半導体装置の製造方法を第1図A乃至第1図Dを参照して説明する。

まず第1図Aに示す如く、P型シリコン基板(1)上にLOCOS法によりフィールド酸化膜(2)を800Å程度の膜厚に形成し、これを除く部分に熱酸化によりゲート酸化膜(3)を250Å程

度の膜厚に形成する。次いでこのゲート酸化膜(3)上にポリサイド構造(例えば、リン不純物を $1 \times 10^{20}/\text{cm}^3$ 程度含有した2500Åのポリシリコン層(4)の上に2500ÅのWシリサイド層(5)を積層したものを)を積層形成し、これをパターンニングしてゲート電極層(6)を形成する。更に前記基板(1)のソース・ドレイン領域にイオン注入法を以って、 P^+ イオンを80 KeV、 $5 \times 10^{15}/\text{cm}^2$ の条件下で打ち込み、 N^- 層(7)を形成する。

続いて第1図Bに示す如く、導電層(8)(リン不純物を $1 \times 10^{20}/\text{cm}^3$ 程度含有させた100Å~300Åのポリシリコン層よりなるもの)及び300Å程度の酸化シリコン膜(9)をLPCVD法等により順次堆積する。

しかる後に第1図Cに示す如く、前記酸化シリコン膜(9)をRIE(Reactive Ion Etching)法によりエッチングして、前記ゲート電極層(6)の側壁にサイドウォールスペーサ絶縁膜(10)を形成する。ここで導電層(8)に対する酸化シリコン膜

(9)のエッチング速度比の大きなRIE法を用いれば、下地の導電層(8)をエッチングすることなく、サイドウォールスペーサ絶縁膜(10)を形成できるので、基板(1)にダメージを与えるおそれがなく、またフィールド酸化膜(2)の膜減りを防止できるという利点がある。

次に前記基板(1)に As^+ イオンをイオン注入法を以って、80 KeV、 $5 \times 10^{15}/\text{cm}^2$ の条件下で打ち込み、 N^+ 層(11)を形成する。ここでWシリサイド層(5)の表面は導電層(8)で被覆されているので、前記イオン注入のために表面あれを起こすのを防止できる。

続いて第1図Dに示す如く、前記サイドウォールスペーサ絶縁膜(10)を耐酸化性マスクとして、前記導電層(8)を850°C~950°C、 O_2 雰囲気、60分の条件下で熱酸化して、前記サイドウォールスペーサ絶縁膜(10)の下方にのみ前記導電層(8)を残し、他を酸化シリコン膜(12)に変化させる。

本発明の特徴とする点は前述の如く、サイド

ウォールスペーサ絶縁膜(10)を耐酸化性マスクとして導電層(8)を熱酸化して前記サイドウォールスペーサ絶縁膜(10)の下方にのみゲート電極層(6)と電氣的に接続された導電層(8)を形成することにある。このような方法に依れば、Wシリサイド層(5)は前記熱酸化中は導電層(8)によって、また熱酸化後は酸化シリコン膜(12)で被覆されているので、酸化性雰囲気直接さらされるおそれがなく、Wシリサイド層(5)の表面あれあるいははがれ等を防止できる。

また前記熱酸化はポリサイドを低抵抗化するためのポリサイドアニール工程を兼ねることができるので、従来方法と比べて製造工程を簡略化できるという利点もある。

なお前記の熱酸化時にポリシリコン層(4)のリン不純物が前記導電層(8)に拡散されるので、前述の如く導電層(8)にリン不純物をあらかじめ含有させることは必ずしも必要ではない。

(ト) 発明の効果

以上説明したように、本発明に依れば、サイド

ウォールスペーサ絶縁膜(10)を耐酸化性マスクとして導電層(8)を熱酸化することにより、サイドウォールスペーサ絶縁膜(10)の下方にのみゲート電極層(6)と電氣的に接続された導電層(8)が形成されるので、ゲート・ドレインのオーバーラップ効果により N^- 層(7)の抵抗が下がってMOSトランジスタの g_m を向上できるとともに、サイドウォールスペーサ絶縁膜(10)へのホットキャリアの注入が前記導電層(8)によって抑えられるので、このホットキャリア注入による g_m の初期劣化を軽減できる。

しかも、前記の熱酸化によってWシリサイド層(5)表面は酸化シリコン膜(12)で被覆されるので、その後酸化処理を行なってもWシリサイド層(5)の表面が酸化性雰囲気にさらされるおそれなく、Wシリサイド層(5)の表面あれあるいははがれ等を防止できる。さらに、前記の熱酸化はポリサイドアニール工程を兼ねることができるので、従来法と比べて製造工程を簡略化できるという利点がある。

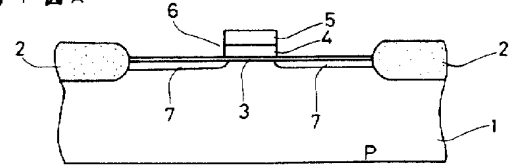
4. 図面の簡単な説明

第1図A乃至第1図Dは本発明に依る半導体装置の製造方法を説明する断面図、第2図A乃至第2図Dは従来の半導体装置の製造方法を説明する断面図である。

出願人 三洋電機株式会社

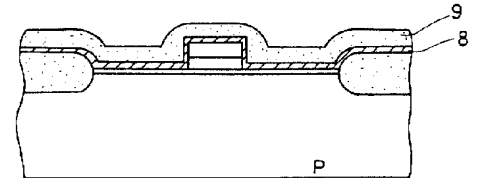
代理人 弁理士 西野卓嗣 外2名

第1図A



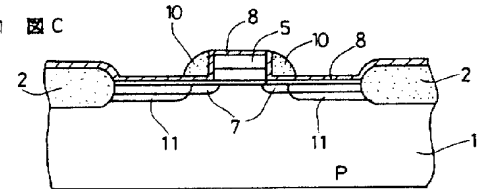
- | | |
|-------------|------------|
| 1: P型シリコン基板 | 4: ポリシリコン層 |
| 2: 酸化シリコン膜 | 5: Wシリサイド層 |
| 3: N+層 | 6: P+層 |
| | 7: N+層 |

第1図B



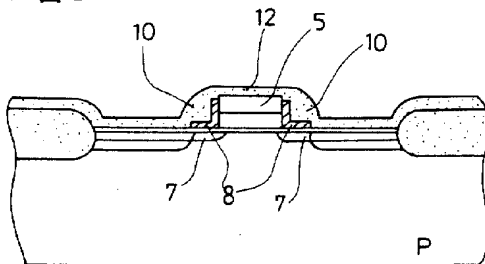
- | |
|------------|
| 8: 導電層 |
| 9: 酸化シリコン膜 |

第1図C



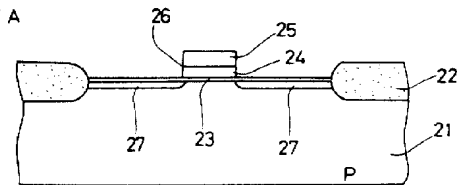
- | |
|-------------------|
| 10: ガイドウェルスペース絶縁膜 |
| 11: N+層 |

第1図D

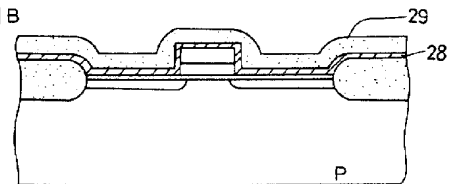


- | |
|-------------|
| 12: 酸化シリコン膜 |
|-------------|

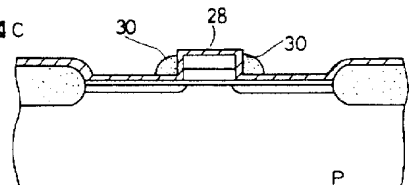
第2図A



第2図B



第2図C



第2図D

